

CMOS MICROCOMPUTER HAVING STANDBY FUNCTION

Patent Number: JP61024090
Publication date: 1986-02-01
Inventor(s): TAKAYAMA SHIGERU
Applicant(s):: NEC CORP
Requested Patent: JP61024090
Application Number: JP19840144682 19840712
Priority Number(s):
IPC Classification: G11C11/34 ; G06F15/02
EC Classification:
Equivalents: JP1728806C, JP4012555B

Abstract

PURPOSE:To make high speed operation and low standby power consumption compatible by bringing a threshold potential of one of P channel or N channel transistor (TR) to a potential different depending on the normal operation and standby state.

CONSTITUTION:In connecting a substrate potential internal generating circuit 11 to an N channel TR 10 in an inverter circuit, the substrate potential internal generating circuit 11 is thrown to the position of a switch (a) in the normal operating state, the substrate potential of the N channel TR 10 is brought to the common potential. When the standby control flip-flop is set, the oscillating circuit is stopped, a RAM data is stored and the mode is transmitted to the standby state, then the substrate potential generating circuit 11 throws the switch to the position (b). The substrate potential of the N channel TR 10 is lowered by V_s than the normal operation, the current OFF characteristic of the N channel TR is improved than that at the normal operation and low power consumption is realized.

Data supplied from the esp@cenet database - 12

(19) JAPANESE PATENT OFFICE (JP)

(12) Japanese Unexamined Patent Publication (A)

(11) JP-A-024090/1986

(43) Published: February 1, 1986

(51) IPC Classification: G11C11/34 ; G06F15/02

Internal File Number: 7230-5B ; 7343-5B

Examination Request: Not Yet Requested

Identification Symbol: None

The Number of Invention: 1 (three pages)

(54) Title: CMOS MICROCOMPUTER HAVING STANDBY FUNCTION

(21) Japanese Patent Application No. 144682/1984

(22) Filed: July 12, 1984

(72) Inventor: TAKAYAMA Shigeru

Address: c/o NEC CORP, 5-33-1, Minato-ku, Tokyo

(71) Applicant: NEC CORP

Address: 5-33-1, Minato-ku, Tokyo

(74) Agent: UCHIHARA Shin, Patent Attorney

SPECIFICATION

1. Title of the Invention:

CMOS MICROCOMPUTER HAVING STANDBY FUNCTION

2. What Is Claimed Is:

1. A CMOS microcomputer having a standby function, wherein a threshold potential of at least either a P-channel or N-channel transistor changes in response to state switching, which is performed between a standby and normal operation state.

3. Detailed Description of the Invention

(Industrial Field of Utilization)

The present invention relates to a CMOS microcomputer having a standby function.

(Prior Art)

Fig. 1 is a block diagram of a conventional CMOS microcomputer, which includes a CPU portion 1, a RAM portion 2, an oscillating circuit portion 3, and a standby control flip-flop portion 4. When a standby request occurs, the CPU portion 1 sends a standby control flip-flop portion set signal 5 to set the standby control flip-flop portion 4. The oscillating circuit portion 3 then stops providing internal clock signals in response to a standby control flip-flop portion output signal 6. In this step the RAM portion 2 holds the current data, and the CMOS microcomputer enters a standby state. The CMOS microcomputer can operate with lower power than that in a normal

operation state because only the RAM portion 2 consumes the power for holding data. To release the standby state, an external control signal 8 resets the standby control flip-flop portion 4. This allows the oscillating circuit portion 3 to re-operate so as to provide clock signals, and then allows the CMOS microcomputer to enter the normal operation state.

(Disadvantage of the Prior Art)

The high-speed operation of microcomputers requires lower threshold voltage of transistors. The high integration of the transistors involves the shortening of the channel lengths, thus lowering the threshold voltage. However the low threshold voltage causes the worsening of the current OFF characteristic of the transistors, increasing the channel current leakage. Therefore it is difficult to operate the transistors in a standby state with low power.

(Object of the Invention)

The present invention is to provide a CMOS microcomputer which enables both high-speed operation and low power consumption.

(Constitution of the Invention)

The present invention includes an internal substrate voltage generation circuit portion for at least one type of transistor, and detects a standby state to apply a potential different from that in a normal operation state to at least one

substrate of either a P-channel or N-channel transistor which constitute the CMOS microcomputer. The substantially increased threshold voltage enables the solid cutoff of the current leakage in the standby state. In the normal operation state the CMOS microcomputer operates at high-speed with low threshold voltage. An internal substrate potential switching circuit portion of the present invention operates to make potential difference between a normal operation and standby state, the potential difference being applied to all the substrates of the CMOS microcomputer chip. The changing of the potential applied to the wells is also possible to obtain the same effect as described above.

(Preferred Embodiments)

Fig. 2 is a main circuit diagram of a CMOS microcomputer according to the present invention. An inverter circuit of Fig. 2 consists of a P-channel transistor 9 and N-channel transistor 10. An internal substrate potential switching circuit portion 11, which is in a state of connecting to the N-channel transistor 10, is described in the following. In a normal operation state the internal substrate potential switching circuit portion 11 has switched to (a). The substrate potential of the N-channel transistor 10 is therefore equal to ground potential. In this step a low threshold voltage V_s suitable for high-speed operation is set.

Subsequently, when a standby request occurs, the standby control flip-flop portion 4 in Fig. 1 is set, an oscillating circuit portion 3 stops, the RAM portion 2 holds the current data, and then the CMOS microcomputer enters the standby state. At the same time the internal substrate potential switching circuit portion 11 detects an standby control flip-flop portion output signal 6 to switch to (b). In this step the substrate potential of the N-channel transistor 10 becomes lower than that in the normal operation state by V_s , and thereby the threshold voltage becomes substantially high. Therefore the current OFF characteristic of the N-channel transistor improves compared to that in the normal operation state, realizing the low power consumption.

A RAM portion in a standby state can hold data even when a threshold voltage is unusually high, and thus consumes small current.

To release the standby state, the internal substrate potential switching circuit portion 11 detects the reset of the standby control flip-flop portion 4 to switch to (a). The substrate potential of the N-channel transistor becomes normal ground voltage, and the CMOS microcomputer enters the normal operation state.

Fig. 3 is an example of a circuit which provides the substrate voltage V_s . The circuit contains an oscillating

circuit portion 13 to 18, a capacitor 19, and transistors 20, 21, generating the negative substrate voltage V_s at a substrate voltage generation terminal 22.

(Effect of the Invention)

As described above, the present invention provides a CMOS microcomputer which realizes both high-speed operation and low standby power consumption by employing an internal substrate voltage generation circuit portion for at least one type of transistor, and an internal substrate potential switching circuit portion which detects a standby state to apply a different potential from that in a normal operation state to at least one substrate of either a P-channel or N-channel transistor of the CMOS microcomputer. It is to be understood that the present invention is not to be intended to be limited to the above-described embodiments. In one alternative embodiment, the substrate potential of a P-channel transistor can be changed instead of the substrate of an N-channel transistor. In another alternative embodiment, a well potential can be changed instead of a substrate potential. In still another alternative embodiment, the standby function of the present invention is used in holding data of not only a RAM portion in a standby state, but also other circuit elements in a standby state.

4. Brief Description of the Drawings

Fig. 1 is a block diagram of a CMOS microcomputer having a standby function.

- 1 CPU portion
- 2 RAM portion
- 3 oscillating circuit portion
- 4 standby control flip-flop portion
- 5 standby control flip-flop portion set signal
- 6 standby control flip-flop portion output signal
- 7 oscillating circuit portion output
- 8 external control signal

Fig. 2 is a main circuit diagram of a CMOS microcomputer according to the present invention.

- 9 P-channel transistor
- 10 N-channel transistor
- 11 internal substrate potential switching circuit portion
- 12 substrate voltage V_s
- (a) normal operation state
- (b) standby state

Fig. 3 is a circuit diagram of an internal substrate voltage generation circuit portion according to the present invention.

- 13 to 18 oscillating circuit portion
- 19 capacitor
- 20, 21 transistor

22 substrate voltage generation terminal

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭61-24090

⑭ Int. Cl. 4

識別記号

庁内整理番号

⑮ 公開 昭和61年(1986)2月1日

G 11 C 11/34
G 06 F 15/02

7230-5B
7343-5B

審査請求 未請求 発明の数 1 (全3頁)

⑯ 発明の名称 スタンバイ機能を有するCMOSマイクロコンピュータ

⑰ 特 願 昭59-144682

⑱ 出 願 昭59(1984)7月12日

⑲ 発 明 者 高 山 茂 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

スタンバイ機能を有するCMOSマイクロコンピュータ

特許

2. 請求の範囲

スタンバイ機能を有するCMOSマイクロコンピュータにおいて、PチャンネルトランジスタもしくはNチャンネルトランジスタのうち少なくとも一方のトランジスタのスレッシュホールド電位が通常動作状態とスタンバイ状態とで異なる電位となるようにしたことを特徴とするCMOSマイクロコンピュータ。

3. 発明の詳細な説明

(技術分野)

本発明はスタンバイ機能を有するマイクロコンピュータに関する。

(従来技術)

従来この種のCMOSマイクロコンピュータのブロック図を第1図に示す。1はCPU部、2はRAM部、3は発振回路部、4はスタンバイ制御フリップフロップである。今、スタンバイ状態への移行要求が発生すると、CPU部1はセット信号5を送ってスタンバイ制御フリップフロップをセットする。この結果、発振回路部3はスタンバイ制御フリップフロップからの出力信号6により停止され、内部へのクロック供給が停止される。RAM部はこの状態の時現在のデータを保持してスタンバイ状態に入る。スタンバイ状態ではRAMはデータを保持するだけなので通常動作状態に比べて消費電力消費で移動できる。スタンバイ状態の解除は、外部制御信号8により、スタンバイ制御フリップフロップをリセットすればよい。これにより発振回路部3を再動作させクロックを供給し通常動作状態に移行する。

(従来の欠点)

ここで、マイクロコンピュータの高速動作のためには、トランジスタのスレッシュホールド電圧

が低い方が有利であり、又高集積度化にともなうてチャネル長が短くなるとスレッシュホールド電圧は低下する。しかし、スレッシュホールド電圧が低下するとトランジスタの電流OFF特性が悪化しチャネルリーク電流が増加するので、スタンバイ状態ではこのリーク電流によって低電力消費が望めないという欠点があった。

(発明の目的)

本発明は高運動作と低スタンバイ電力消費を両立した、CMOSマイクロコンピュータを提供することを目的とするものである。

(発明の構成)

本発明は、少なくとも1種類のトランジスタのサブストレート電位の内部発生回路を具備し、スタンバイ状態を検知してこの時通常動作状態と異なる電位をCMOSマイクロコンピュータを構成するPチャネルまたはNチャネルトランジスタ部の少なくとも一方のサブストレートに印加し、トランジスタのスレッシュホールド電圧を実質的に上げる事でスタンバイ時に漏れにリーク電流をOFF

し、一方通常動作時は低いスレッシュホールド電圧で高運動作できるようにしたことを特徴とする。本発明のサブストレート電位内部発生回路は、CMOSマイクロコンピュータチップのサブストレート全体に対してその電位を通常動作時をスタンバイ時とて異ならしめるように働らくものである。また、サブストレートではなく、ウェルの電位を変えるようにしてもよい。

(発明の実施例)

第2図は、本説明によるCMOSマイクロコンピュータの要部回路図である。Pチャネルトランジスタ9およびNチャネルトランジスタ10からなるインバータ回路において、Nチャネルトランジスタ10側にサブストレート電位内部発生回路11を接続した場合について説明する。通常動作状態に於てサブストレート電位の内部発生回路11はスイッチa側の状態にありNチャネルトランジスタ10のサブストレート電位は接地電位である。この状態で高運動作に遇した低いスレッシュホールド電圧 V_s に設定する。

次にスタンバイ状態への移行要求が発生し、第1図のスタンバイ制御フリップフロップがセットされ、発振回路部が停止しRAM部データが保持されスタンバイ状態に移行すると同時に、サブストレート電位発生回路11はスタンバイ制御フリップフロップ出力信号6を検知してスイッチをb側の状態に変化する。この状態ではNチャネルトランジスタ10のサブストレート電位が通常動作状態に比べて V_s だけ低くなり、そのためスレッシュホールド電圧が実質的に高くなる。従って、Nチャネルトランジスタの電流OFF特性が通常動作状態に比べ良くなり、低電力消費が実現できる。

スタンバイ状態におけるRAM部データ保持は、スレッシュホールド電圧が相当高い場合でも問題ないためRAM部データ保持と低消費電流が可能となる。

スタンバイ状態の解除は、スタンバイ制御フリップフロップがリセットされた事をサブストレート電位発生回路が検知し、スイッチを再びa側の

状態に変化し、Nチャネルトランジスタのサブストレート電位が通常の接地電位になるようにすることで通常動作状態に移行する。

第3図はサブストレート印加電圧 V_s を得るための回路の一例で、発振回路部13~18、コンデンサ19とトランジスタ20及び21により印加電圧発生端子16に負電圧 V_s が得られる。

(発明の効果)

本発明は以上の様に、少なくとも1種類のトランジスタのサブストレート電位の内部発生回路と、スタンバイ状態を検知して通常動作状態と異なる電位をマイクロコンピュータを構成するPチャネルまたはNチャネルトランジスタの少なくとも一方のトランジスタのサブストレートに印加する回路を具備することで高運動作と低スタンバイ電力消費を両立したCMOSマイクロコンピュータを実現できるものである。本実施例の説明でNチャネルトランジスタのサブストレート電位を変化させる方法について説明したが本発明の他の実施例としてPチャネルトランジスタのサブストレート

電位を変化させてもよいことはいうまでもない。
 また、サブストレートではなくウェル電位をかえるようにしてもよい。また本発明の実施例の説明で、スタンバイ状態でRAM部データのみを保持する場合について説明したが、他の構成回路のデータ保持も行なうスタンバイ機能の場合についても同様に考えられる。

発生回路、12：サブストレート印加電圧 V_s

a側：通常動作状態、b側：スタンバイ状態

第3図は本発明のサブストレート印加電圧発生回路図である。

13～18：発振回路部、19：コンデンサ、
 20～21：トランジスタ、22：印加電圧発生端子

4. 図面の簡単な説明

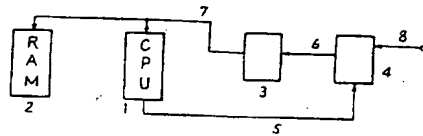
第1図はスタンバイ機能のあるCMOSマイクロコンピュータのブロック図である。

1：CPU部、2：RAM部、3：発振回路部、
 4：スタンバイ制御フリップフロップ部、5：スタンバイ制御フリップフロップ部セット信号、
 6：スタンバイ制御フリップフロップ部出力信号、
 7：発振回路部出力、8：外部制御信号、

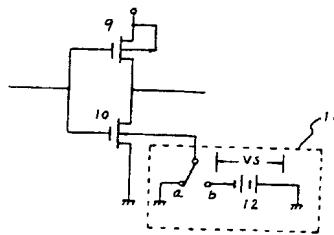
第2図は本発明によるCMOSマイクロコンピュータの要部回路図である。

9：Pチャネルトランジスタ、10：Nチャネルトランジスタ、11：サブストレート電位内部

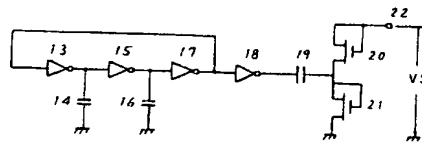
代理人 弁理士 内原 晋



第1図



第2図



第3図